



(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 58208999 A

(43) Date of publication of application: 05.12.83

(51) Int. Cl. G11C 29/00
G06F 13/00
G11C 7/00

(21) Application number: 57090627

(71) Applicant: NEC CORP

(54) MEMORY DEVICE

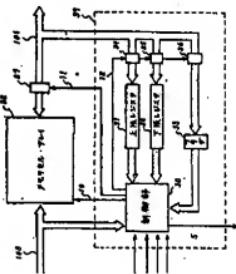
due to program runaway

(57) Abstract

COPYRIGHT: (C)1983 JPD&Janice

PURPOSE: To prevent a memory from being destroyed at program runaway, by controlling the memory access and detecting the violation of access, based on a flag representing the types of permission of data access and the range of access address.

CONSTITUTION: An address via an address line 100 for the readout of a memory cell array 38 is inputted also to a control section 30, which discriminates a readout permission and opens a gate 37 based on the set address range by upper and lower limit registers 31; 32 and the types of permission such as readout enable by a flag 33. Thus, the readout data is outputted via a data line 101. On the other hand, when an access violation signal is outputted with the discrimination of the control section 30, the gate 37 is closed and no readout data is outputted. The data write to an array 38 is similar, and even if a large capacity memory is formed as one chip, the write and readout request to an inhibiting area is inhibited and the system behaves as if no memory were in existence to the request of address specified as not in existence, allowing to prevent the destruction of memory.



② 日本国特許庁 (JP) ① 特許出願公開
② 公開特許公報 (A) 昭58-208999

③ Int. Cl.¹
G 11 C 29/00
G 06 F 13/00
G 11 C 7/00

識別記号 廈内整理番号
7922-5B
7361-5B
6549-5B

④ 公開 昭和58年(1983)12月5日
発明の数 1
審査請求 未請求

(全 4 頁)

⑤ メモリ装置

東京都港区芝五丁目33番1号

本電気株式会社内

⑥ 特願 昭57-90627

⑦ 出願 昭57(1982)5月28日

東京都港区芝五丁目33番1号

⑧ 発明者 矢野陽一

⑨ 代理人 弁理士 内原晋

明細書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

データを貯えることのできるメモリと、前記のメモリに対するデータアクセスのアドレス範囲を示す複数のレジスタと、前記アドレス範囲に対するデータアクセスの許可権限を示す複数のフラグと、前記レジスタ及びフラグの示す情報に従って前記メモリへのアクセスとアクセス制御とアクセス違反の検出を行う制御回路と、前記制御回路により検出されたアクセス違反を示すための信号線を持つことを特徴とするメモリ装置。

3. 発明の詳細な説明

本発明はメモリ装置に關し、特に大容量MOS(金属酸化膜半導体)メモリチップに關するものである。

最近の集積回路技術の進歩に伴い、メモリチップに於て大容量の製品が実用化されるに至っている。このようなメモリチップではその大容量化によりCPU(中央処理装置)の必要とするメモリ全てを1チップでまかなえるようになりシステムの小型化、低コスト化に貢献するが、反面、システム全体のソフトウェアが1チップ内に入ってしまうためプログラム暴走時にシステムの重要なデータが容易に破壊される恐れが生じメモリチップ内でメモリ保護、すなわち

(1) 書き込みではいけない領域への書き込み要求

があつた時に書き込まない。

(2) 読み出しへはいけない領域への読み出し要求

があつたときIC読み出さない。

及び付加的機能として

(3) 存在しないと規定したアドレスへの読み出し

／書き込み要求に對しメモリが存在しなかつた

かのようにふるまう。

の機能が必要になると考えられる。上記(1)は特にRAM(ランダム・アクセス・メモリ)に對して

の要求であるが、(3)は ROM (読み出し専用メモリ) の大容量のものに対して必要とされることである。すなわち ROM のうち、有効なデータの入っている領域へのアクセスはデータを返し、有効でないデータの入っている領域 (余りの部分) へのアクセスに対してはメモリが割り付けられないようふるまい。(たとえば) 他の RAM チップへのアクセスに転換する外付け回路を付加することを可能にすることにより CPU から見た時のアドレス空間の無駄使いを防ぐことである。

本発明の目的は上記の(1)～(3)を満たすメモリ装置を提供することにある。

従来はこの種のメモリ装置を実現するための制御回路は (メモリ・チップの) 外付け回路として実現が試みられているが固定的配線によりメモリアドレスが規定されるため、プログラム実行時に上記(1)(2)を目的に設定することが不可能であったため柔軟な対応が実現できなかつた。また上記(1)(2)の制御回路を CPU 内に持つシステムも考案されているが、CMOS (補助性 MOS) の特徴で

ある低電力消費を生かした電源断時の電池バックアップシステムを考えた場合、メモリ保護情報が電源断の時にも保存されるようになると、及び不用意な CPU リセットによるメモリ保護情報を被覆から防ぐために、上記の制御回路及び保護情報をメモリチップ側にもつ事が不可欠である。

以上を鑑み、本発明のメモリ装置はデータを貯えるメモリと前記のメモリに対するデータアクセスのアドレス範囲を示す複数のレジスタと、前記アドレス範囲に対するデータアクセスの許可種類を示す複数のフラグと、前記レジスタ及びフラグの持つ情報を従い前記のメモリへのアクセスとアクセス制御とアクセス違反の検出を行う制御回路と前記制御回路により検出されたアクセス違反を示す信号線とを持つことを特徴とする。

以下図面を用い、本発明を詳細に説明する。

第1図はメモリ装置のブロック図である。メモリ装置はアドレスを操作するアドレス線 100 とそのアドレスへの読み出し/書き込みのデータが流れるデータ線 101 そしてそこへのデータの書き込

みを許す制御線 1 0 が接続されているメモリセル・アレイ 3 8 とメモリアクセス制御回路 3 9 から成る。メモリアクセス制御回路 3 9 はこのメモリチップへのチップセレクト信号 1 1、リード信号 2、ライト信号 3、コントロール信号 4 の外部からの制御信号と上限レジスタ 3 1、下限レジスタ 3 2、フラグ 3 3 で示される保護情報、及びデータの通過を制御するゲート 3 7、3 4、3 5、3 6 とそれの制御線 1 1、1 2 そして全体の制御を行なう制御部 3 0 から成る。メモリセル・アレイが RAM になつてゐる場合の読み出し/書き込み動作を図に説明を行う。読み出しの場合、すなわちチップセレクト信号 1 1 及びリード信号 2 がこのチップを活性化したとき、アドレス線 100 のアドレスがメモリセル・アレイに入力され、そのアドレスのデータがデータ線 101 に接続された箇所に出力されるが、そのデータの読み出しが許されているかどうかを制御部 3 0 が上限レジスタ 3 1 と下限レジスタ 3 2 とフラグ 3 3 によって判断し許されている場合はゲート 3 7 が開きデータ線 101 に出

力される。書き込みの場合、すなわちチップセレクト信号 1 1 とライト信号 3 によってチップが活性化された場合も同様にしてチェックが行われ、書き込み許可のときはゲート 1 1 が開き制御線 1 0 によりデータが書き込まれるが、不許可の時はゲート 1 1 が閉かずデータはメモリセル・アレイに行かない。以上の制御部の動作はアドレス入力からデータ出入力までの時間差内に可能を確しか制御部の論理回路は複雑でないため通常のメモリ・チップに比しメモリアクセス制御のためのオーバヘッドはかかるないと考えられる。メモリアクセス制御部は、下限レジスタ 3 1、上限レジスタ 3 2、フラグ 3 3 により行なわれる。すなわち、アドレス線 100 に示されるアドレスのうち、下限レジスタ 3 1 の示すアドレスから上限レジスタ 3 2 の示すアドレスまでの範囲にありかつフラグ 3 3 の持つ、読み出し可、書き込み可のフラグが示す条件に合致するアクセスであった場合にのみアクセスが正当とみなされる。第2図 2 にその様子を示すが、矩形 200 はチップのアドレス空間を示し、

斜線で示されるアドレス空間 201がフラグ 3,3 の表すメモリアクセス制御の対象になるアドレスである。斜線の引かれてないチップのメモリ部分は通常のメモリと同様に動く。信号線 5はアクセスが不法の際に信号をチップ外に示す解であり、たとえば CPUへの割り込み信号として使えるようとする。上限レジスタ 3,1、下限レジスタ 3,2、フラグ 3,3 ICに対する読み出し／設定はコントロール信号 4を使うことによりメモリセル・アレイへのアクセスと同様 CPUから読み出し／設定が行える。そのとき信号線 1,2 によりゲート 3,4、ゲート 3,5、ゲート 3,6 が作動してこの目的を果す。メモリセル・アレイが ROM の場合、読み出し許可フラグと上限／下限レジスタを、有効でないデータの格納されているアドレスを指し示すように設定しておきことでデータがデータ線 10,1 ICに出力されないように出来るため、他のメモリチップがそのアドレスを代替しデータの入出力を行えるように外部回路を設定することが可能になっている。本メモリ装置を CMD8 技術で実現する際は上

記のメモリアクセス制御の情報も電源断の際、メモリセル・アレイの内容と共にバックアップされるとため再電源入のときにもひきづき同じ保護が実現できる。

以上の説明から明らかのように、本発明によればメモリアクセスの制御を基本としたデータ保護を外部回路によらず、またプログラム実行時に動的に設定することができる。更に上限レジスタ、下限レジスタ、フラグを何組も持つようにすることにより、よりきめの細かい保護の実現が可能なメモリ装置に拡張することも容易である。

4. 図面の簡単な説明

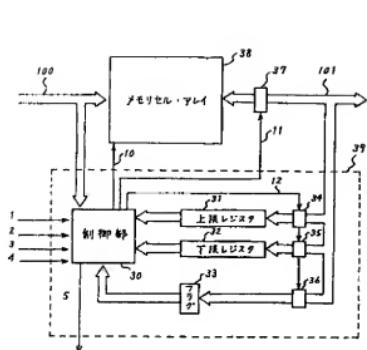
第 1 図はメモリ装置のブロック図である。第 2 図はそのメモリチップ内におけるアドレスの見合を示す。図において

1 ……チップセレクト信号、 2 ……リード信号、
3 ……ライト信号、 4 ……コントロール信号、 5 ……不許可示す信号、 1,0 ……メモリセル・アレイに対する書込信号、 1,1 ……データ線に対する

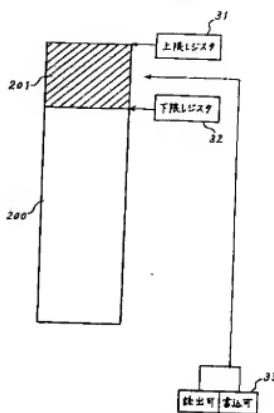
ゲート 3,7 の制御信号、 1,2 ……保護情報に対するゲート 3,4,3,5,3,6 ICに対する信号、 3,0 ……制御部、 3,1 ……上限レジスタ、 3,2 ……下限レジスタ、 3,3 ……フラグ、 3,8 ……メモリセル・アレイ、 3,9 ……メモリアクセス制御回路、 1,00 ……アドレス基、 1,01 ……データ解、 2,00 ……チップのメモリアドレス空間、 2,01 ……保護されたメモリアドレス空間。

代理人弁護士 内原

署名



第 1 図



第 2 図